

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-223339

(43)Date of publication of application : 17.08.2001

(51)Int.Cl.

H01L 27/04
H01L 21/822
H01L 21/8238
H01L 27/092

(21)Application number : 2001-011599

(71)Applicant : LUCENT TECHNOL INC

(22)Date of filing : 19.01.2001

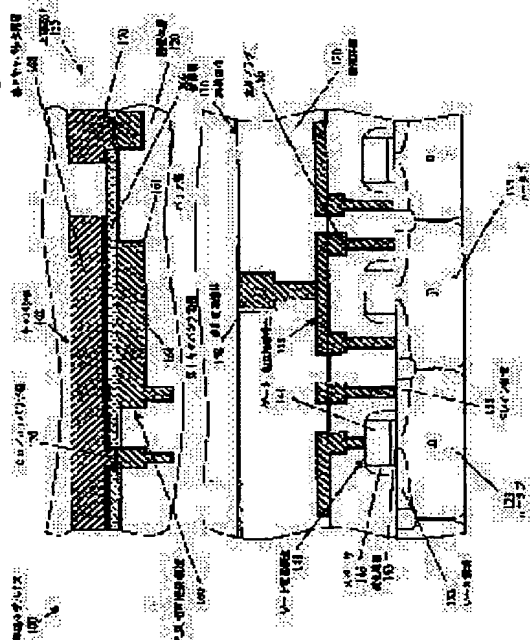
(72)Inventor : DOWNEY STEPHEN WARD
EDWARD BELDEN HARRIS
MERCHANT SAILESH MANSINH

(30)Priority

Priority number : 2000 489092 Priority date : 21.01.2000 Priority country : US

(54) CAPACITOR USED IN SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a capacitor structure for avoiding disadvantages of a structure and a manufacturing process of a conventional technique and to provide a manufacturing method thereof.**SOLUTION:** The capacitor of the present invention that is used in a semiconductor device comprises a first capacitor electrode 164 including a part of a damascene interconnect structure, an insulating layer 166 which is formed on the damascene interconnect structure and acts as a passivation layer, and a second capacitor electrode 168 including a conductive layer formed at least on a part of the insulating layer. The semiconductor device includes the damascene interconnect structure formed on a substrate of a semiconductor wafer.

BEST AVAILABLE COPY

LEGAL STATUS

[Date of request for examination] 20.01.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-223339
(P2001-223339A)

(43) 公開日 平成13年8月17日 (2001.8.17)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
H 0 1 L 27/04		H 0 1 L 27/04	C
21/822			D
21/8238		27/08	3 2 1 F
27/092			

審査請求 未請求 請求項の数30 O L (全 8. 頁)

(21) 出願番号 特願2001-11599(P2001-11599)
(22) 出願日 平成13年1月19日 (2001.1.19)
(31) 優先権主張番号 09/489092
(32) 優先日 平成12年1月21日 (2000.1.21)
(33) 優先権主張国 米国 (US)

(71) 出願人 596077259
ルーセント テクノロジーズ インコーポ
レイテッド
Lucent Technologies
Inc.
アメリカ合衆国 07974 ニュージャージ
ー、マレーヒル、マウンテン アベニュー
600-700
(72) 発明者 ステファン ワード ダウニー
アメリカ合衆国、32836 フロリダ、オー
ランド、タラ オーク コート 8613
(74) 代理人 100081053
弁理士 三俣 弘文

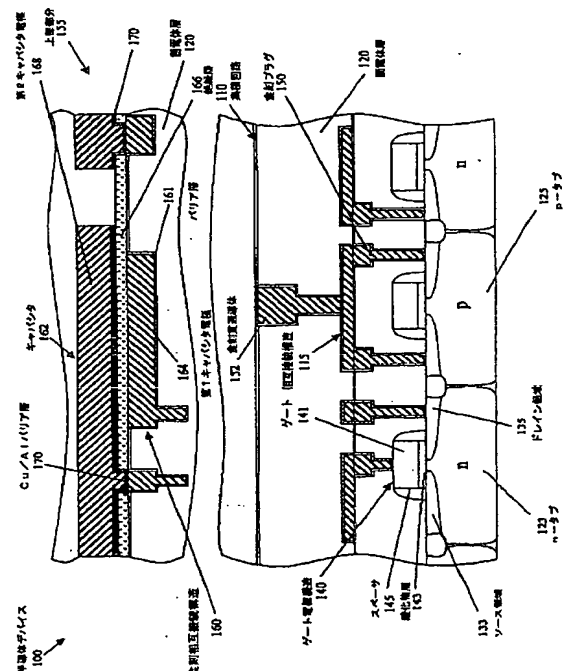
最終頁に続く

(54) 【発明の名称】 半導体デバイスで用いられるキャパシタとその製造方法

(57) 【要約】

【課題】 従来技術にかかる構造、および製造プロセスの欠点を回避するキャパシタ構造と、その製造方法を提供する。

【解決手段】 半導体ウェハの基板上に形成された食刻相互接続構造 (damascene) を有する半導体デバイスで使用される本発明のキャパシタは、食刻相互接続構造の一部を含む第1キャパシタ電極164と、食刻相互接続構造の上に形成され、パッシベーション層として機能する絶縁層166と、絶縁層の少なくとも一部の上に形成された導電層を含む第2キャパシタ電極168とを有する。



【特許請求の範囲】

【請求項1】 半導体ウェハの基板上に形成された食刻相互接続構造(damascene)を有する半導体デバイスで使用されるキャパシタにおいて、

(A) 食刻相互接続構造の一部を含む第1キャパシタ電極(164)と、

(B) 前記食刻相互接続構造の上に形成され、パッシベーション層として機能する絶縁層(166)と、

(C) 前記絶縁層の少なくとも一部の上に形成された導電層を含む第2キャパシタ電極(168)とを有すること
10 を特徴とする半導体デバイスで用いられるキャパシタ。

【請求項2】 前記キャパシタは、金属-絶縁体-金属(MIM)キャパシタであることを特徴とする請求項1記載のキャパシタ。

【請求項3】 前記絶縁層は、窒化シリコン製であることを特徴とする請求項1記載のキャパシタ。

【請求項4】 前記第1キャパシタ電極は、銅製であり、前記第2キャパシタ電極はアルミ製であることを特徴とする請求項1記載のキャパシタ。

【請求項5】 前記絶縁層は、五酸化タンタル製であることを特徴とする請求項1記載のキャパシタ。

【請求項6】 前記食刻相互接続構造は、誘電体材料により互いに絶縁された複数の相互接続構造を含み、前記パッシベーション層は、前記複数の相互接続構造のそれぞれに形成されることを特徴とする請求項1記載のキャパシタ。

【請求項7】 前記導電層は、少なくとも2つの相互接続構造の上に形成されることを特徴とする請求項1記載のキャパシタ。

【請求項8】 前記食刻相互接続構造は、最も外側の食刻相互接続構造であり、

前記絶縁層は、最も外側のキャッピング層であり、前記第2キャパシタ電極は、前記絶縁層の少なくとも一部の上に形成された、最も外側の導電層の一部を含むことを特徴とする請求項1記載のキャパシタ。

【請求項9】 前記導電層の残りの部分は、ボンドパッドを形成することを特徴とする請求項8記載のキャパシタ。

【請求項10】 半導体ウェハの基板上に形成された半
導体デバイスにおいて、
40 基板上に形成されたトランジスタと、

前記トランジスタに電気的に接続され、その上に形成された食刻相互接続構造と、

前記食刻相互接続構造の1つの上に形成された絶縁層と、

前記食刻相互接続構造の1つの上方に形成された導電層と、

キャパシタと、からなる半導体デバイスにおいて、

前記キャパシタは、

前記食刻相互接続構造の1つの少なくとも一部を含む、第1キャパシタ電極と、

絶縁層の一部を含むキャパシタ誘電体層と、

前記導電層の一部を含む第2キャパシタ電極とを有することを特徴とする半導体デバイス。

【請求項11】 前記キャパシタは、金属-絶縁体-金属(MIM)キャパシタであることを特徴とする請求項10記載の半導体デバイス。

【請求項12】 前記絶縁層は窒化シリコン製であることを特徴とする請求項10記載の半導体デバイス。

【請求項13】 前記第1キャパシタ電極は銅製であることを特徴とする請求項10記載の半導体デバイス。

【請求項14】 前記絶縁層は五酸化タンタル製であることを特徴とする請求項10記載の半導体デバイス。

【請求項15】 前記第2キャパシタ電極はアルミ製であることを特徴とする請求項10記載の半導体デバイス。

【請求項16】 前記導電層は、少なくとも2つの相互接続構造の上に形成されることを特徴とする請求項10記載の半導体デバイス。

【請求項17】 前記食刻相互接続構造の1つは、最も外側の食刻相互接続構造であり、

前記絶縁層は、最も外側のキャッピング層であり、前記第2キャパシタ電極は、前記絶縁層の少なくとも一部の上に形成された、最も外側の導電層の一部を含むことを特徴とする請求項10記載の半導体デバイス。

【請求項18】 前記導電層の残りの部分は、ボンドパッドを形成することを特徴とする請求項17記載の半導体デバイス。

【請求項19】 前記半導体デバイスはCMOSデバイスであることを特徴とする請求項10記載の半導体デバイス。

【請求項20】 半導体ウェハの基板上に形成された食刻相互接続構造を有する半導体デバイスで使用されるキャパシタの製造方法において、

(A) 食刻相互接続構造の一部を含む第1キャパシタ電極を形成するステップと、

(B) 前記食刻相互接続構造の上に形成され、パッシベーション層として機能する絶縁層を形成するステップと、

(C) 前記絶縁層の少なくとも一部の上に形成された導電層を含む第2キャパシタ電極を形成するステップからなることを特徴とする半導体デバイスで用いられるキャパシタの製造方法。

【請求項21】 前記キャパシタを製造するステップは、金属-絶縁体-金属(MIM)キャパシタを製造するステップを含むことを特徴とする請求項20記載の製造方法。

【請求項22】 前記(B)の絶縁層を形成するステップは窒化シリコン層を形成するステップからなることを

特徴とする請求項20記載の製造方法。

【請求項23】 前記(A)の第1キャパシタ電極を形成するステップは、前記第1キャパシタ電極を銅で形成するステップを含み、
前記(C)ステップは、第2キャパシタ電極をアルミで形成するステップを含むことを特徴とする請求項20記載の製造方法。

【請求項24】 前記絶縁層を形成するステップは、五酸化タンタルを含有する絶縁層を形成するステップを含むことを特徴とする請求項1記載のキャパシタ。

【請求項25】 食刻相互接続構造を形成するステップは、誘電体材料により互いに絶縁された複数の相互接続構造体を形成するステップを含み、
絶縁層を形成するステップは、複数の相互接続構造のおのおのの上に絶縁層を形成するステップを含むことを特徴とする請求項20記載の製造方法。

【請求項26】 前記導電層を形成するステップは、少なくとも2つの相互接続構造を形成するステップを含むことを特徴とする請求項25記載の製造方法。

【請求項27】 前記食刻相互接続構造を形成するステップは、最も外側の食刻相互接続構造を形成するステップを含み、
絶縁層を形成するステップは、最も外側のキャッピング層を形成するステップを含み、
導電層を形成するステップは、絶縁層の少なくとも一部の上に最も外側の導電層を形成するステップを含むことを特徴とする請求項20記載の製造方法。

【請求項28】 導電層を形成するステップは、導電層の一部からボンドパッドを形成するステップを含むことを特徴とする請求項27記載の製造方法。

【請求項29】 半導体デバイスを形成するステップは、CMOSデバイスを形成するステップを含むことを特徴とする請求項20記載の製造方法。

【請求項30】 (D)キャパシタの上に誘電体層を形成し、前記誘電体層を平面化するステップをさらに有することを特徴とする請求項20記載の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体デバイスで用いられるキャパシタを製造する方法、特に銅食刻プロセスでもって集積化するためのキャパシタと、その製造方法に関する。

【0002】

【従来の技術】キャパシタは幅広く今日の集積回路技術で用いられている。通常のキャパシタは、絶縁層により分離された2枚の導電層プレートとを有する。導電性プレートは通常アルミ製で、絶縁層は誘電体材料、例えばSiO₂製である。

【0003】本来、キャパシタは集積回路の基板の上に配置され、デザインの必要によっては、接点構造あるいは

は貫通導体に電気的に接続されている。これらの構造体はきわめて効率的ではあるが、それが存在することにより、上に形成された誘電体材料内の異常形状を引き起こし、その結果キャパシタの構造体が誘電体材料の表面に反映されることになる。その結果特殊な平面化技術を行って、凹凸(異常形状)を除去して、あとで行われる光リソグラフィプロセスに悪影響を及ぼさないようにしている。光リソグラフィプロセスにおけるキャパシタの異常形状の影響は、デバイスの大きさが収縮するにつれてより顕著となる。

【0004】初期のキャパシタ構造に関連する平面化問題があるために、半導体の製造業界では、上に形成される誘電体層の形状に与える影響を少なくしながらキャパシタを形成する方法を模索している。このような1つのアプローチは、接点開口、あるいは貫通導体内にキャパシタを形成することである。このアプローチはミクロンに近い技術に対しては、よく機能する。キャパシタは、接点開口あるいは貫通導体内に形成されるために、その構造体は、その上に形成される誘電体層に大きな影響を及ぼす。かくして現在のキャパシタ構造で起きる平面化の問題が、大幅に少なくなっている。

【0005】しかし、デザインルールが常に小さくなるために、これらの構造体内にキャパシタを形成することは困難となる。デバイスが小さくなると、エッチングプロセスにおいて、より高い精度が求められるために、産業界では食刻プロセス(damascene processing)として知られるエッチングプロセスの方向に向かいつつある。完全な食刻構造は、下方のキャビティよりも広い幅を有する上方のキャビティを有するために、階段状の形状が食刻開口内に形成されることになる。この食刻プロセスは、トレース開口を形成する際に、より高い精度を与えるために、そしてその結果ICをサブミクロン範囲で製造することが可能となる。

【0006】トレース開口を形成する本発明の食刻プロセスにより、サブミクロン範囲でのICの製造が可能となる。しかし食刻により階段状のステップが形成されるために、キャパシタを食刻開口内に形成することはより困難となる。この困難な問題は、キャパシタの製造に必要とされる様々な層を階段状の形状の上に堆積することにより発生する堆積問題である。

【0007】階段形状が深くなるにつれて、キャパシタを形成する層の厚さは、食刻構造内で大幅に変化する。この材料の厚さの変動は、制御するのが難しく、必要な容量値を達成することが非常に困難となる。さらにまた、食刻構造内の小さな部分内に堆積しなければならない層の数が増えるために、所望の導電率を達成するために必要な材料を食刻構造内に十分に堆積することができない。さらにまた、ボイドが形成されることがある。このような不確実性によりキャパシタは、所望のレベルで容易にかつ再現性をもって製造することができない。

【0008】

【発明が解決しようとする課題】本発明の目的は、従来技術にかかる構造および製造プロセスの欠点を回避するキャパシタ構造と、その製造方法を提供することである。

【0009】

【課題を解決するための手段】上記従来技術の欠点を解決するために、本発明は、半導体ウェハの基板上に形成された食刻相互接続構造（例えば二重食刻相互接続）を有する半導体デバイス内で用いられるキャパシタを提供する。本発明の一実施例によれば、本発明の金属-絶縁体-金属（metal-insulator-metal：MIM）のようなキャパシタは、請求項1に記載した特徴を有する。すなわち、半導体ウェハの基板上に形成された食刻相互接続構造（damascene）を有する半導体デバイスで使用されるキャパシタにおいて、（A）食刻相互接続構造の一部を含む第1キャパシタ電極と、（B）食刻相互接続構造の上に形成され、パッシベーション層として機能する絶縁層と、（C）絶縁層の少なくとも一部の上に形成された導電層を含む第2キャパシタ電極とを有することを特徴とする。ここで、パッシベーション層は、最も外側の、すなわち最終のパッシベーション層かあるいはまた集積回路内のレベル間パッシベーション層である。

【0010】キャパシタ用の材料は、様々なものが考えられる。例えば本発明の一実施例においては、絶縁層は請求項3に記載したように窒化シリコンである。さらにまた本発明の他の実施例においては、絶縁層は請求項5に記載したように五酸化タンタルである。銅と五酸化タンタルの実施例においては、銅を包囲する誘電体層内への銅のマイグレーションを阻止するために、適宜のバリア層を含む必要がある。

【0011】本発明の他の態様においては、本発明の半導体デバイスは、誘電体材料により互いに絶縁された複数の食刻相互接続構造を有する。キャパシタが形成されるべき、ある層の上にはパッシベーション層が複数の相互接続のそれぞれの上に形成される。

【0012】本発明の一実施例においては、導電層は少なくとも2つの相互接続構造の上に形成され、さらにまた他の実施例においては、食刻相互接続は、最も外側のすなわち最終の食刻相互接続構造であり、絶縁層は最も外側のキャッピング層であり、第2のキャパシタ電極は、絶縁層の少なくとも一部の上に形成された最も外側の導電層の一部を含む。この実施例は特に、キャパシタが半導体ウェハの最も外側の層の上に形成され、前のレベルで存在した平面化の問題を回避できるために利点がある。このような実施例においては最も外側の層は、半導体デバイスのボンドパッドを形成するために用いることができる。

【0013】さらに別の態様においては本発明は、半導体ウェハの基板上に形成された半導体デバイスを提供す

る。この実施例においては、基板上に形成されたトランジスタと、トランジスタに電気的に接続され、その上に形成された食刻相互接続構造と、この食刻相互接続構造の1つの上に形成された絶縁体アッシュベーション層と、食刻相互接続構造の1つの上に形成された導電層と、前述した構造のキャパシタとを含む。

【0014】本発明は、半導体ウェハの基板上に形成された食刻相互接続構造を有する半導体デバイスで使用されるキャパシタの製造方法である。この実施例においては、本発明は請求項20に記載した特徴を有する。すなわち、半導体ウェハの基板上に形成された食刻相互接続構造を有する半導体デバイスで使用されるキャパシタの製造方法において、（A）食刻相互接続構造の一部を含む第1キャパシタ電極を形成するステップと、（B）食刻相互接続構造の上に形成され、パッシベーション層として機能する絶縁層を形成するステップと、（C）絶縁層の少なくとも一部の上に形成された導電層を含む第2キャパシタ電極を形成するステップからなること特徴とする。

【0015】本発明の方法の一実施例は、キャパシタで議論したような様々なデバイスを形成するステップを含む。しかしキャパシタが最も外側の誘電体レベルではなく、レベル間の誘電体層に形成されるような実施例の場合には、本発明の方法は、絶縁材料を堆積する前に食刻相互接続構造を平面化するステップと、さらに既に形成されたキャパシタの上に堆積された誘電体層を平面化するステップを含む。このような平面化ステップは例えば、化学/機械平面化技術である。

【0016】

【発明の実施の形態】図1に本発明の半導体デバイス100の一実施例の断面図を示す。本発明の半導体デバイス100は、従来の方法で形成された集積回路110、例えばCMOSデバイスの一部を示す。集積回路110の一部は、相互接続構造115と誘電体層120とを有し、例えば所望の半導体デバイス100を形成する。図1の実施例においては、集積回路110の一部は、従来の方法で形成されたn-タブ123とp-タブ125を含む対となるタブ（ウエルとも称する）を有する。図1にはまた、ソース領域133とドレイン領域135が示されており、その両者は従来の方法を用いて形成される。

【0017】従来のゲート電極構造140は、ソース領域133とドレイン領域135を交互に配置して形成される。ゲート電極構造140は従来方法で形成された、ゲート141と酸化物層143とスペーサ145とを有する。従来方法で形成された食刻プラグ150、または食刻貫通導体152は、集積回路110の異なる層を形成する。食刻プロセスは従来のエッチングプロセスの代わりに用いられ、食刻構造を形成する際により良好な制御が可能となる。これは、銅は従来のアルミに代わって

導体の材料としますます用いられ、そして銅はアルミよりも制御しながらエッチングするのが難しいから、特に重要である。

【0018】図1の上部部分155は、キャパシタ162が形成される食刻相互接続構造160を示す。この実施例においては、キャパシタ162は、金属-絶縁体-金属(metal-insulator-metal: MIM)キャパシタである。食刻相互接続構造160は第1キャパシタ電極164を形成する。一実施例においては、食刻相互接続構造160は銅製である、さらにまた、食刻相互接続構造160が銅(Cu)を含有する場合には、選択的事項としてのバリア層161は、Cu製の食刻相互接続構造160が、好ましくはSiO₂製の誘電体層120と接触しないように従来方法で形成される。かくしてバリア層161は、CuがSiO₂製の誘電体層120内に拡散するのを阻止する。その逆も同様である。一実施例においては、バリア層161は、Ta₂N製の層を含むが、他の類似のバリア層、例えばタンタル製のバリア層も使用可能である。銅が電気メッキされた場合には、シード層がバリア層161の上部に形成するのに必要である。さらにまた他の類似の導電性材料も食刻相互接続構造160用に用いることができる。

【0019】キャパシタ162はさらに、絶縁層166、例えば窒化シリコン製の層と、第2キャパシタ電極168とを有する。この第2キャパシタ電極168は従来の材料、例えばアルミ合金あるいは積層金属である。食刻相互接続構造160がCuを含有し、第2キャパシタ電極168がAlを含有する場合には、Cu/Alバリア層170が食刻相互接続構造160と第2キャパシタ電極168との間の、従来方法により堆積され、拡散を阻止しなければならない。一実施例においては、Cu/Alバリア層170はTa₂Nを含有するが、他の類似の特性を有する材料、例えばTiNも用いることができる。

【0020】食刻相互接続構造160はシングル食刻相互接続構造体、あるいはデュアル食刻相互接続体のいずれかである。しかしデュアル食刻相互接続体は、従来技術に対し利点がある。例えばデュアル食刻相互接続構造によりICを0.25μmのサイズ以下の特徴で形成でき、これは従来のトレンチエッチング、あるいはシングル食刻プロセスでは得られないものである。食刻相互接続構造160は、半導体デバイス100の最も外側、すなわち上部の食刻相互接続構造160を有する。しかし別法として、食刻相互接続構造160はレベル間の食刻相互接続構造体でもよい。かくしてキャパシタ162は、半導体デバイス100内に様々なレベルで構成することができる。しかし以下に詳述するように、キャパシタ162は、最も外側のすなわち上部食刻相互接続構造を用いて構成される。

【0021】図2には、図1に示された食刻相互接続構

造160の断面図を示す。食刻相互接続構造160は、食刻相互接続構造160の上に形成された絶縁層166を有し、バリア層161が食刻相互接続構造160をSiO₂製の誘電体層120から分離している。一実施例においてはバリア層161は、基板表面上で、かつ食刻相互接続構造160内にそれに適合して堆積され、その後銅がバリア層161の上と食刻相互接続構造160内に堆積される。銅とバリア層161は、従来の化学/機械プロセスを用いて研磨され、その結果バリア層161と銅は、食刻相互接続構造160内にのみ形成される。本発明の他の実施例においては、絶縁層166は、従来の堆積プロセス例えばCVD、PVDを用いて堆積される。この実施例においては、絶縁層166は通常パッシベーション層として堆積される。ある種のプロセスにおいては、半導体デバイスは、製造プロセスの最後の時点でキャッピング層でもって不動態化処理され、半導体デバイスを悪化環境から保護する。かくしてこの実施例においては、キャパシタ162の第1キャパシタ電極164、または絶縁層166のいずれかを形成するのに余分なステップは必要ではない。図に示すように絶縁層166、例えば五酸化タンタル層が集積回路110の全体表面の上に形成される。

【0022】図3には、絶縁層166をパターン化しエッチングしたあとの、図2の半導体デバイス100の部分断面図を示す。従来のパターン化プロセスとエッチングプロセスを用いて、絶縁層166内に開口310を形成する。絶縁層166の一部を取り除いて、キャパシタ162のキャパシタよう誘電体を形成する。図3に示された実施例においては、絶縁層166の一部は、食刻構造320と330の上で除去されている。

【0023】図4には、図3の絶縁層166の一部によりカバーされた食刻相互接続構造160が示されており、同図において、好ましくは導電層を含む第2キャパシタ電極168は、絶縁層166の少なくとも一部の上に形成される。この導電層は、金属層、あるいはドーブしたポリシリコン層である。図4には、半導体デバイス100の全体表面の上の導電層を、従来方法により堆積するステップと、導電層をパターン化しエッチングして図4のキャパシタ162を形成するステップを開示していない。一実施例においては、第2キャパシタ電極168は、アルミ合金、例えばアルミ/銅、あるいは従来の積層金属を含む。さらにまた、半導体デバイス内で導電性材料として使用されるいかなる材料も使用することができる。

【0024】前述したように第2キャパシタ電極168は、キャパシタ162の第1キャパシタ電極164を形成し、これは集積回路110内でいかなるレベルでも形成することができる。図5は、集積回路110内のレベル間にあるキャパシタ162を示す。デバイスのレベル間が使用される場合には、平面化プロセスは、キャパシ

タの第2キャパシタ電極168が形成される導電層を堆積した後に行わなければならない。平面化プロセスは、例えば化学/機械プロセスを用いることができる。平面化プロセスは、食刻相互接続構造160の前に行った平面化プロセスの後の凹凸の形状を平坦にするために行われる。

【0025】しかし一実施例においては、キャパシタ162は、最も外側の食刻相互接続構造160から形成される。この最も外側の食刻相互接続構造160をその後、最も外側のキャッピング層（絶縁層166として機能する）でカバーされる。最外側のキャッピング層は、ある種の設計においては半導体デバイス100の最終キャッピング層として機能する。最外側の食刻相互接続構造160を使用することは、第2キャパシタ電極168の形成後、平面化プロセスが必要とされないために特に利点があるが、その理由は、後続の層が半導体デバイス100内に存在しないからである。

【0026】第2キャパシタ電極168は、半導体デバイス100の他の部分を形成するために用いられた堆積プロセスからも形成される。例えばある場合には、導電層を堆積し、パターン化し、エッチングしてボンドパッドを形成する。本発明のある態様によれば、第2キャパシタ電極168は、このボンド導電層から形成される。かくして余分のステップを必要とせずに、キャパシタ162の第1キャパシタ電極164、絶縁層166、第2キャパシタ電極168のいずれかを形成することができる。

【図面の簡単な説明】

【図1】本発明の一実施例による半導体デバイスの断面図。

【図2】食刻相互接続構造の上に形成された絶縁層を有する図1の食刻相互接続構造体の部分断面図。

【図3】絶縁層をパターン化し、エッチングしたあとの図2の半導体デバイスの部分断面図。

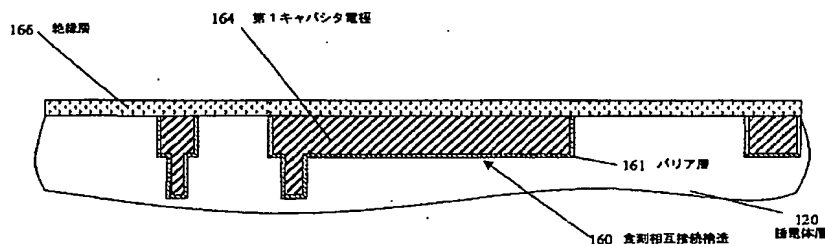
【図4】図3の絶縁層の一部によりカバーされた食刻相互接続構造を示し、導電層を含む第2キャパシタ電極が、絶縁層の少なくとも一部の上に配置されている状態を表す図。

【図5】半導体デバイス内の中間レベルに配置された食刻相互接続構造の部分断面図。

【符号の説明】

100	半導体デバイス
110	集積回路
115	相互接続構造
120	誘電体層
123	n-タブ
125	p-タブ
133	ソース領域
135	ドレイン領域
140	ゲート電極構造
141	ゲート
143	酸化物層
145	スペーサ
150	食刻プラグ
152	食刻貫通導体
155	上部部分
160	食刻相互接続構造
161	バリア層
162	キャパシタ
164	第1キャパシタ電極
166	絶縁層
168	第2キャパシタ電極
170	Cu/Alバリア層
310	開口

【図2】

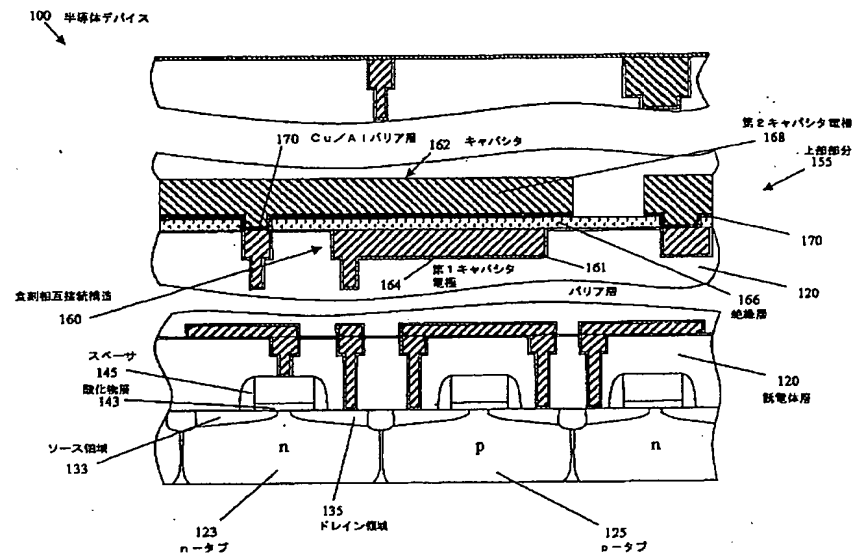


The diagram shows a cross-section of a semiconductor device with two capacitors. The top capacitor (第1キャパシタ) consists of a Cu/A1 bilayer film (Cu/A1バリア層 170), a dielectric layer (絶縁膜 168), and a conductive body (導電体 166). It is connected to a gate electrode (ゲート電極構造 140) via a contact plug (食料プラグ 150). The bottom capacitor (第2キャパシタ) has a similar structure with a conductive body (導電体 120) and a dielectric layer (絶縁膜 110). The device includes n-type regions (n-タブ 123) and p-type regions (p-タブ 125) separated by a drain region (ドレイン領域 135). A source region (ソース領域 133) is also shown. Various other components are labeled with numbers like 160, 161, 162, 164, 165, 169, 170, 171, 172, 173, 174, 175, 176, 177, 178, 179, 180, 181, 182, 183, 184, 185, 186, 187, 188, 189, 190, 191, 192, 193, 194, 195, 196, 197, 198, 199, 200.

Fig. 1 is a cross-sectional view of a semiconductor device. The device includes a substrate 120, a gate electrode 161, a gate insulating layer 164, a gate opening 310, a gate wiring 166, a gate contact 320, and a gate contact 330.

[illegible]

【図5】



フロントページの続き

(71)出願人 596077259
600 Mountain Avenue,
Murray Hill, New Je
rsey 07974-0636 U. S. A.

(72)発明者 エドワード ベルデン ハリス
アメリカ合衆国、32837 フロリダ、オー
ランド、オスプレイ リンクス ロード
13824 アpartment 203

(72)発明者 サイレシュ マニシン マーチャント
アメリカ合衆国、32835 フロリダ、オー
ランド、バイナランド オーク ブルバー
ド 8214

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.